

KR1997-53159

Title: BONDING STRUCTURE OF SEMICONDUCTOR BUMP AND ITS METHOD

Applicant: LG Electronics Inc.

Inventor: BAEK, Young Sang

<ABSTRACT>

This invention relates to a semiconductor substrate bump and its method, the semiconductor substrate bump comprising a pad formed on semiconductor substrate, a protective film layer formed on a part of the pad portion and the semiconductor substrate, a diffuse preventative layer formed on a part of the protective film layer and the pad portion, and a bump having a contact portion on the top surface, formed on the diffuse preventative layer, the bump includes an insulated layer formed at the other portion except the contact portion of the bump. Thereby, it is an advantage that this invention can apply easily to the element of a pine pitch, and lessen subordinately the contact-resistance.

대한민국특허청(KR)
공개특허공보(A)

Int. Cl.
H 01 L 21/60

제 2492 호

공개일자 1997. 7. 29

공개번호 97-53159

출원일자 1995. 12. 1

출원번호 95-46106

심사청구: 있음

발명자 백영상 경기도 군포시 산본동 금강아파트 908-2002호

출원인 LG 전자(주) 대표이사 구자홍

서울특별시 영등포구 여의도동 20번지 (우: 150-010)

대리인 변리사 양순석

(전 3면)

반도체 기판 범프 및 그 제조방법

요약

본 발명은 반도체 기판 범프 및 제조 방법에 관한 것으로 반도체 기판 위에 형성된 패드와, 패드부의 일부와 반도체 기판 위에 형성된 보호막층과, 보호막층의 일부와 패드부 위에 형성된 확산방지층과, 확산방지층 위에 형성되며 상면에 접촉부를 가지는 범프로 이루어진 반도체 기판 범프에 있어서, 범프의 접촉부를 제외한 부위에 형성된 절연막을 포함하여 이루어져, 파인 피치의 소자 등에 적용이 용이하고, 부수적으로 콘택저항을 낮출 수 있는 이점을 가진다.

특허청구의 범위

1. 반도체 기판 위에 형성된 패드와, 상기 패드의 일부와 상기 반도체 기판 위에 형성된 보호막층과, 노출된 상기 패드 위에 형성된 확산방지층과, 상기 확산방지층 위에 형성된 펄프로 이루어진 반도체 기판 범프에 있어서, 상기 범프는 절연막이 적어도 상기 범프 측면에 형성된 것을 특징으로 하는 반도체 기판 범프.

2. 제1항에 있어서, 상기 절연막을 폴리머, 실리콘 질화막 중 하나인 것을 특징으로 하는 반도체 기판 범프.

3. 반도체 기판 범프 제조방법에 있어서, 1) 반도체기판 상부에 패드를 형성하고, 패드 및 기판 위에 보호막을 적층한 후, 패드의 일부영역을 노출시키는 단계와, 2) 상기 노출된 패드와 상기 보호막 위에 확산방지층을 형성하는 단계와, 3) 상기 패드 상부의 확산방지층 위에 도전물질로 범프를 형성하는 단계와, 4) 상기 범프의 노출된 표면 및 보호막에 절연막을 형성하는 단계와, 5) 상기 범프 상면에 형성된 절연막을 제거하여 상기 범프 측면에만 절연막을 남기는 단계를 포함하는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

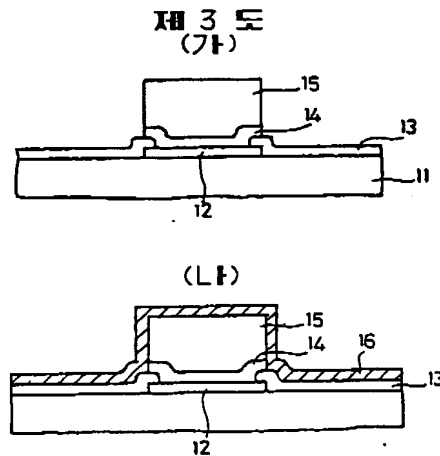
4. 제3항에 있어서, 상기 절연막은 화학기상증착법(CVD), 물리기상증착법(PVD) 또는 코팅(coating) 중 하나의 방법을 선택하여 적층시키는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

5. 제3항에 있어서, 상기 절연막의 적층은 폴리머, 실리콘 질화막 중 하나를 선택하여 적층하는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

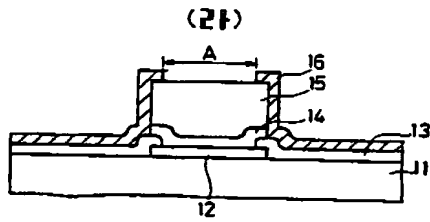
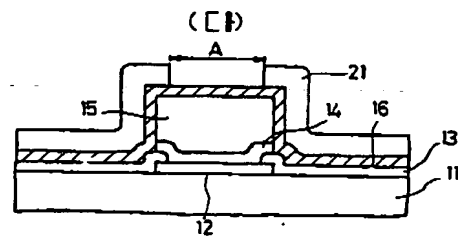
※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

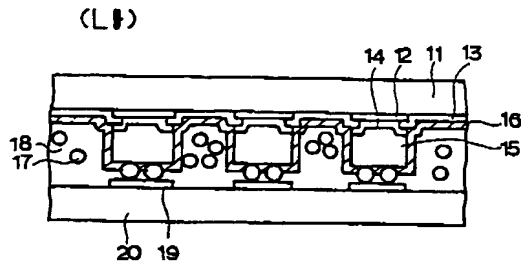
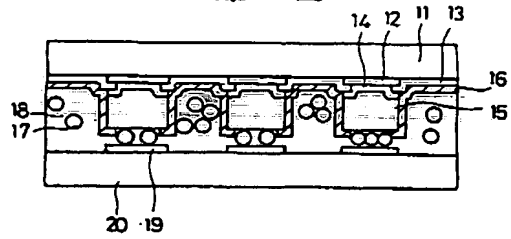
제3도는 본 발명의 반도체 기판 범프의 구조와 제조방법의 각 공정을 예시한 단면도, 제4도는 본 발명의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도.



제 3 도



(가) 제 4 도



명 세 서

1. 발명의 명칭

반도체 기판 범프 및 그 제조방법

2. 도면의 간단한 설명

제 1 도는 종래의 반도체 기판 범프의 단면도

제 2 도는 종래의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도

제 3 도는 본 발명의 반도체 기판 범프의 구조와 제조방법의 각 공정을 예시한 단면도

제 4 도는 본 발명의 반도체 기판 범프의 실제 본딩 상태를 예시한 단면도

※ 도면의 주요부분에 대한 부호의 설명 ※

1, 11 기판

2, 12 패드

3, 13 보호막

4, 14 확산방지층

5, 15 범프

6, 17 도전성 불

7, 18 접착물질

8, 20 액정기판

9, 19 (액정기판의) 패드

16 절연막

21 포토레지스트 패턴

3. 발명의 상세한 설명

본 발명은 반도체 기판 범프(Bump) 및 그 제조방법에 관한 것으로, 범프를 이용한 본딩시 발생되던 전기적 단락 문제를 해결하기에 적합하도록 한 반도체 기판 범프 및 그 제조방법에 관한 것이다.

범프를 이용한 본딩방법은 주로 반도체 디바이스 패키지나, 액정표시소자(Liquid Crystal Display : LCD)의 구동 소자(IC) 실장시에 많이 쓰이는 기술로서, 본 명세서에는 주로 액정표시소자의 구동소자 실장을 예로 들어 설명하겠다.

액정표시소자의 구동회로는 보통 별도의 회로 소자들을 액정표시소자의 박막 트랜지스터 어레이 기판에 연결하여 사용하는데, 이러한 구동소자 실장 기술에는 구동소자를 프린트기판(PCB : Printed Circuit Board)에 실장한 후 박막 트랜지스터 어레이 기판과 프린트기판을 연결하는 방법과, 플렉시블 테이프(flexible tape)에 구동소자를 실장한 후 박막 트랜지스터 어레이 기판과 플렉시블 테이프를 연결하는 방법과, 박막 트랜지스터 기판위에 구동소자를 직접실장하는 방법(COG : Chip On Glass) 등이 있다.

범프를 이용한 본딩방법은 직접실장방법에서 주로 쓰이는 본딩방법으로, 범프가 형성된 소자와 외부기판의 단자를 이방성 도전 필름(Anisotropic Conductive Film : 이하 "ACF"라 한다.)이나 이방성 도전 접착제(Anisotropic Conductive Adhesive : 이하 "ACA"라 한다.)와 같은 접착물

질을 이용하여 본딩하는 것이다. 이러한 ACF나 ACA는 내부에 구경이 5 내지 7 μ m 정도의 도전볼이 분포되어 있어서 도전성을 가지고 있다. 즉, 범프가 형성된 소자를 외부 기판에 실장할 때, 기판의 소자 실장부위에 ACF나 ACA를 부착 내지 도포한 후, 범프가 형성된 소자를 압착시키면, ACF나 ACA에 내포된 도전볼을 통하여 소자와 기판이 서로 전기적으로 연결된다.

그런데, 반도체 소자의 크기가 점차 소형화되어감에 따라 소자에 형성된 범프들의 간격이 점점 가까워져서, 이웃하는 두 범프가 ACF나 ACA에 내포된 도전볼에 의해 서로 전기적으로 연결되어, 소자가 단락되는 문제점을 가지고 있었다.

제1도는 종래의 일반적인 범프의 구조를 나타내는 도면으로, 종래의 반도체 기판 범프는 구동소자가 형성된 반도체 기판(1) 상에 형성된 패드(2)와, 패드(2)의 일부와 노출된 반도체 기판(1) 위에 보호막(3)이 있다. 노출된 패드(2)와 패드위에 올라온 보호막(3) 위에 확산방지층(4)이 형성되어 있으며, 확산방지층(4)의 상부에는 범프(5)가 형성되어 있는 구조를 가지고 있다.

제2도는 이러한 종래의 문제점을 설명하기 위해 예시한 것으로, 구동소자가 형성된 반도체 기판(1)을 박막 트랜지스터 기판(8)에 본딩할 때, 이웃하는 두 범프(5)가 접착물질(7)내의 도전볼(6)에 의하여 서로 전기적으로 연결되는 상태를 도시하고 있다. 이는 본딩시, 박막 트랜지스터 기판(8)에

ACF나 ACA 등의 접착물질(7)을 접착 또는 도포한 후, 범프(5)가 형성된 반도체 기판(1)을 가압 가열하여 물리적으로 박막 트랜지스터 기판(8)에 본딩하는데, 이때, 범프(5)의 압력 또는 열에 의해 접착물질(7)이 범프사이 공간으로 흘러 도전불이 밀집되기 때문이다.

실제적으로 외부기판 단자와 전기적 접촉이 이루어지는 부위는 범프(5)의 상면인데, 그 측면까지 표면이 노출되어 있어서, 범프간 거리가 가까울 경우, 범프 사이공간에 밀집된 접착물질에 포함된 도전불이 이웃하는 두 범프를 서로 전기적으로 연결시켜 단락이 발생된다.

본 발명은 반도체 기판 위에 형성된 패드와, 패드의 일부와 반도체 기판 위에 형성된 보호막층과, 노출된 패드 위에 형성된 확산방지층과, 확산방지층 위에 형성된 범프로 이루어진 반도체 기판 범프에 있어서, 범프는 절연막이 적어도 범프 측면에 형성된 것을 특징으로 하는 반도체 기판 범프이다.

또한, 본 발명은 반도체 기판 범프 제조방법에 있어서, 반도체기판 상부에 패드를 형성하고, 패드 및 기판 위에 보호막을 적층한 후, 패드의 일부영역을 노출시키는 단계와, 노출된 패드와 보호막 위에 확산방지층을 형성하는 단계와, 패드 상부의 확산방지층 위에 도전물질로 범프를 형성하는 단계와, 범프의 노출된 표면 및 보호막에 절연막을 형성하는 단계와, 범프 상면

에 형성된 절연막을 제거하여 범프 측면에만 절연막층을 남기는 단계를 포함하는 반도체 기판 범프 제조방법이다.

제3도의 (나) 및 (라)는 본 발명의 반도체 기판 범프의 실시예들로서, 먼저, 제3도의 (라)와 같이, 구동소자가 형성된 반도체 기판(11) 상에 형성된 패드(12)와, 패드(12)의 일부와 패드(12)가 형성되지 않는 반도체 기판(11) 위에 형성된 보호막(13)이 있고, 패드(12) 상부의 보호막(13)과 보호막(13)으로부터 노출된 패드(12) 위에 확산방지층(14)이 형성되어 있고, 확산방지층(14)의 상부에는 범프(15)가 있으며, 범프 상면의 접촉영역(A)를 제외한 범프(15) 상면의 일부, 측면, 노출된 확산방지층(14)의 측면 및 보호막(13)위에 절연막(16)이 있다. 이 때, 절연막(16)이 범프(15) 상면의 가장영역에는 남아있어서, 울타리 형상을 가진다.

또한, 제3도의 (나)와 같이, 범프(15) 측면 뿐만아니라 상면에도 절연막(16)이 형성된 구조를 가질 수 있다.

제3도는 본 발명의 반도체 기판 범프를 제조방법의 실시예로서, 먼저, 제3도의 (가)와 같이, 구동소자가 형성된 반도체 기판(11)상에 알루미늄으로 패드(12)를 형성한 후, 패드(12) 및 반도체 기판(11) 전면에 실리콘 산화막 또는 실리콘 질화막을 이용하여 보호막(13)을 형성하고, 사진식각하여 패드(12)를 노출시킨다. 이 때, 패드(12)의 가장자리에는 보호막(13)을 남긴다. 이

어서, 노출된 패드(12) 및 보호막(13) 표면에 타이타늄(Ti)·팔라듐(Pd)·금(Au)을 차례로 적층한다. 이어서, Ti-Pd-Au 위에 패드 상부가 노출된 포토레지스트 패턴을 형성한다. 그리고, 포토레지스트 패턴을 이용하여 전기도금 방법으로 금(Au)으로 범프(15)를 형성한 후, 포토레지스트 패턴을 제거한다. 이 때, 범프의 높이는 약 $15\mu\text{m}$ 정도이다. 이어서, 확산방지층(14)를 사진식각하여 범프하부에만 확산방지층(14)를 남긴 후, 열처리 공정을 수행한다.

다음으로, 제3도의 (나)와 같이, 범프(15)와 노출된 확산방지층(14) 및 보호막(13) 표면에 폴리머(polymer) 또는 실리콘 질화막을 화학기상증착(CVD) 또는 물리기상증착 또는 코팅방법으로 절연막(16)을 형성한다.

다음으로, 제3도의 (다)와 같이, 절연막(16) 위에 포토레지스트를 도포한 후, 범프(15) 상면의 접촉영역(A)를 정의하는 포토레지스트 패턴(21)을 형성한다.

다음으로, 제3도의 (라)와 같이, 포토레지스트 패턴(21)을 마스크로 절연막(16)을 식각하여 범프(15) 상면의 접촉영역(A)을 노출시킨 후, 포토레지스트 패턴을 제거함으로써, 반도체 기판 범프를 제조한다.

또한, 제3도의 (나)의 범프(15) 상면과 측면에 절연막(16)을 형성하는 공정까지만을 진행하여 반도체 기판 범프를 제조할 수도 있다.

제4도의 (가) 및 (나)는 본 발명의 반도체 기판 범프를 이용하여 액정표

시장치의 박막 트랜지스터 어레이 기판(20)에 구동소자가 형성된 반도체 기판(11)을 실장한 모습을 도시한 것이다.

제4도의 (가)는 제3도의 (라)에 도시된 반도체 기판 범프의 경우이고, 제4도의 (나)는 제3도의 (나)에 도시된 반도체 기판 범프의 경우를 각각 도시한 것이다.

제4도의 (가) 및 (나)와 같이, 구동소자가 형성된 반도체 기판(11)의 범프(15)를 접착물질(18)이 도포 또는 접착된 액정기판(20)에 형성된 패드(19)에 맞추어 가압 가열하여 실장할 때, 접착물질(18)이 흘러 범프(15)사이에 도전볼(17)이 밀집되어 다수개의 도전볼(17)이 서로 접촉 연결되어 두 범프(15)의 측면을 접촉연결하더라도 범프 측면에 절연막(16)이 형성되어 있으므로 두 범프는 서로 전기적으로 절연상태를 유지할 수 있다.

제4도의 (나)의 경우, 실장시에 접착물질 내의 도전볼이 범프(15)의 상부에 형성된 절연막(16) 내부로 침투되어, Au범프와 박막 트랜지스터 기판(20)상의 패드(19)를 서로 연결시킨다.

한편, 위에서 설명한 바와 같이, 본 발명의 반도체 기판 범프는 본 명세서에서 주로 설명한 액정기판의 구동소자 실장시외에 반도체 칩 패키지에도 적용할 수 있다.

따라서, 파인 피치(fine pitch)구조의 구동소자에의 적용시에도 전기적 단

락 등의 문제점을 해결할 수 있으며, 부수적으로 제4도의 (가)에서와 같이, 제3도의 (라)와 같은 구조를 취할 경우, 범프상면의 접촉 영역(A)을 정의하면서 상면 가장영역에 절연막이 울타리 형상으로 남아 있어서, 본당시 접착 물질의 도전성 볼이 접착물질로 같이 흘러내리는 현상을 방지할 수 있어 많은 도전볼이 범프 상면에 남게되므로, 콘택 저항을 낮출 수 있는 효과도 있다.

4. 특허 청구의 범위

1. 반도체 기판 위에 형성된 패드와, 상기 패드의 일부와 상기 반도체 기판 위에 형성된 보호막층과, 노출된 상기 패드 위에 형성된 확산방지층과, 상기 확산방지층 위에 형성된 범프로 이루어진 반도체 기판 범프에 있어서,

상기 범프는 절연막이 적어도 상기 범프 측면에 형성된 것을 특징으로 하는 반도체 기판 범프.

2. 제1항에 있어서,

상기 절연막은 폴리머, 실리콘 질화막 중 하나인 것을 특징으로 하는 반도체 기판 범프.

3. 반도체 기판 범프 제조방법에 있어서,

1) 반도체기판 상부에 패드를 형성하고, 패드 및 기판 위에 보호막을 적층한 후, 패드의 일부영역을 노출시키는 단계와,

2) 상기 노출된 패드와 상기 보호막 위에 확산방지층을 형성하는 단계와,

3) 상기 패드 상부의 확산방지층 위에 도전물질로 범프를 형성하는 단계와,

4) 상기 범프의 노출된 표면 및 보호막에 절연막을 형성하는 단계와,

5) 상기 범프 상면에 형성된 절연막을 제거하여 상기 범프 측면에만 절연막을 남기는 단계를 포함하는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

4. 제3항에 있어서,

상기 절연막은 화학기상증착법(CVD), 물리기상증착법(PVD) 또는 코팅(coating) 중 하나의 방법을 선택하여 적층시키는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

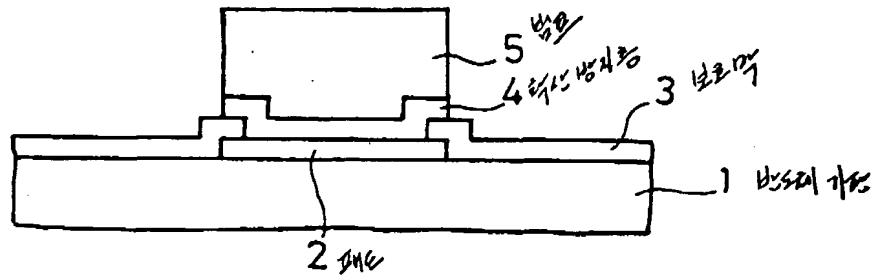
5. 제3항에 있어서,

상기 절연막의 적층은 폴리머, 실리콘 질화막 중 하나를 선택하여 적층하는 것을 특징으로 하는 반도체 기판 범프 제조 방법.

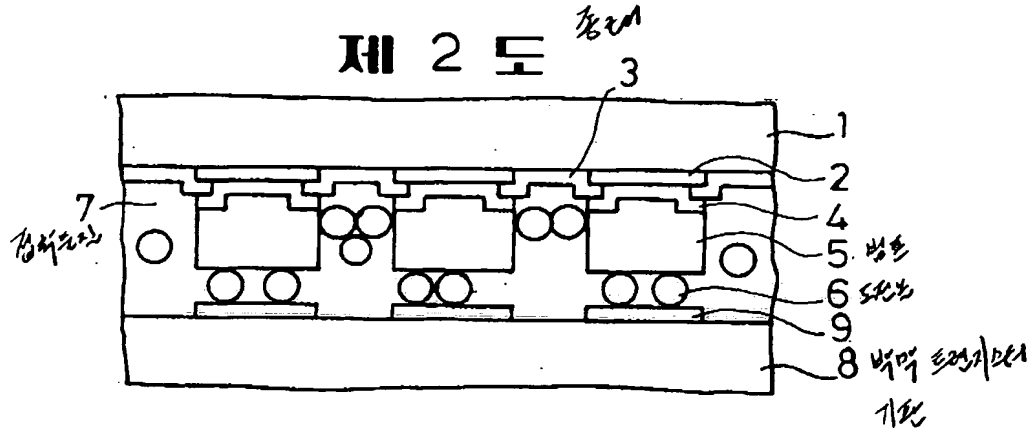
요 약 서

본 발명은 반도체 기판 범프 및 제조 방법에 관한 것으로 반도체 기판 위에 형성된 패드와, 패드부의 일부와 반도체 기판 위에 형성된 보호막층과, 보호막층의 일부와 패드부 위에 형성된 확산방지층과, 확산방지층 위에 형성되며 상면에 접촉부를 가지는 범프로 이루어진 반도체 기판 범프에 있어서, 범프의 접촉부를 제외한 부위에 형성된 절연막을 포함하여 이루어져, 파인 피치의 소자 등에 적용이 용이하고, 부수적으로 콘택저항을 낮출 수 있는 이점을 가진다.

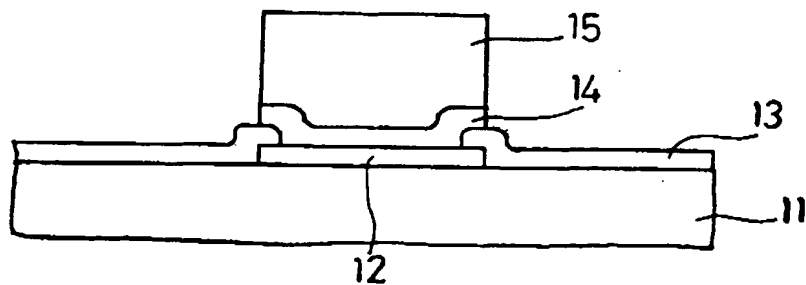
제 1 도 종면



제 2 도 종면

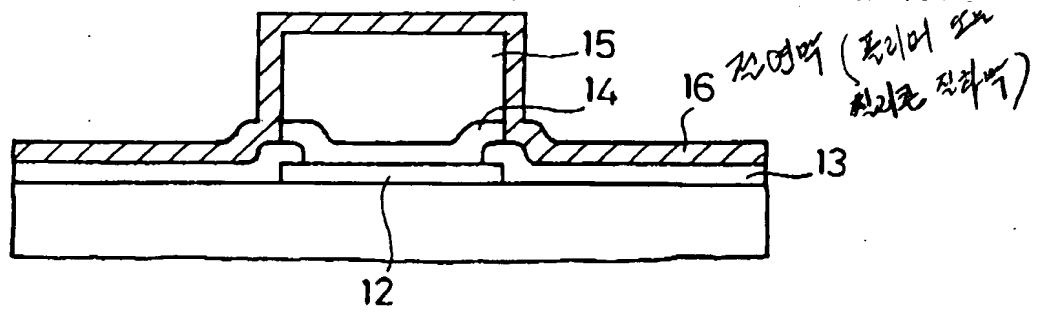


제 3 도 본 방향 (가)

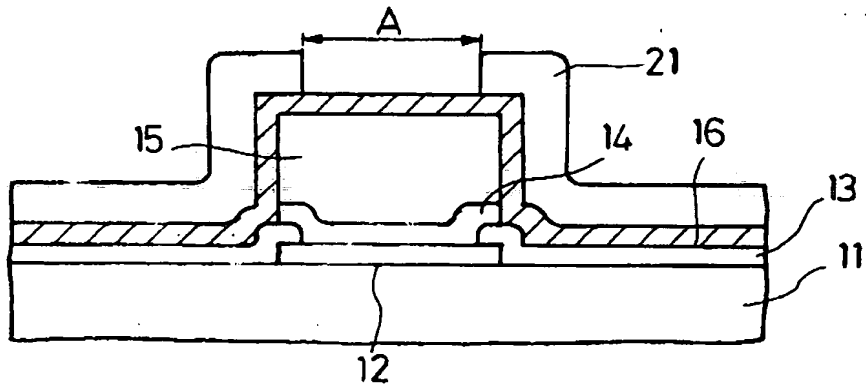


제 3 도

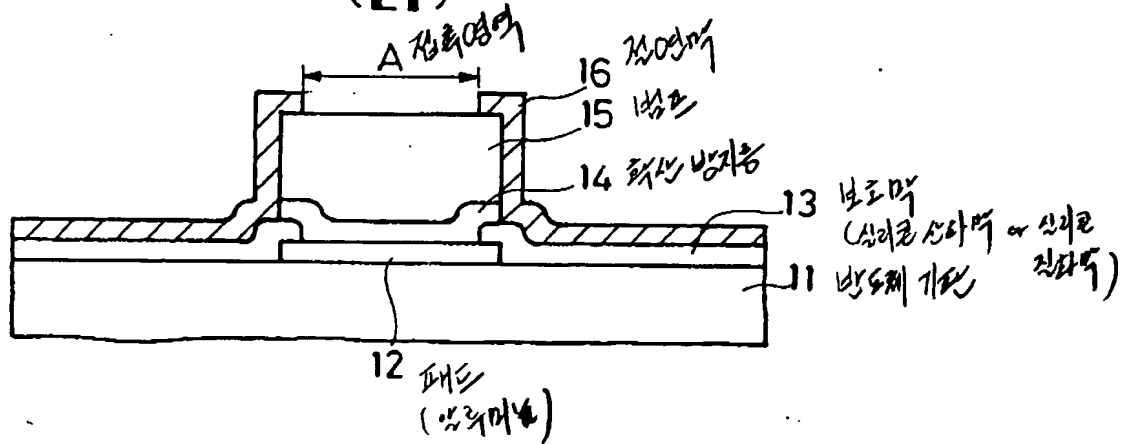
(L)



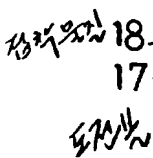
(L)



(라)



(71)



(L B)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.